

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147161

(43)Date of publication of application : 07.06.1996

---

(51)Int.Cl. G06F 9/30

G06F 1/04

G06F 13/42

---

(21)Application number : 06-311200 (71)Applicant : NEC CORP

(22)Date of filing : 21.11.1994 (72)Inventor : SUGIMOTO HIDEKI

---

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To reduce the power consumption while preventing the reduction of the processing speed in a CPU part and to eliminate a need of the queue control function in the CPU part with respect to the CPU consisting of the CPU part and a BCU part.

CONSTITUTION: A clock control part 105c distributes a clock 111 supplied from the outside into a CPU part 101 and a BCU part 105. At this time, the period of a CPU clock 112 supplied to the CPU part 101 is made longer only when the read access to a storage device 106 or the like from the CPU part 101 is requested. That is, the state just before the change point of the CPU clock 112 for input or input data from an internal data bus 104 to the CPU part 101 is held until read data is settled on the internal data bus 104.

---

LEGAL STATUS [Date of request for examination] 21.11.1994

[Date of sending the examiner's decision of rejection] 15.07.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 09-013894

[Date of requesting appeal against examiner's decision of rejection] 14.08.1997

[Date of extinction of right]

**\* NOTICES \***

**JPO and INPIT are not responsible for any  
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not  
reflect

the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The CPU section which manages data processing of data, and the BCU section which manages the data I/O between this CPU section and an external device are included. This BCU section While connecting with said CPU section with an internal bus, it connects with said external device by the external bus. Answer an access request from said CPU section, and a bus cycle is generated on said external bus. And it sets to the data processor which has the function to generate the weight State in said bus cycle according to the rate of said external device of an access place which can be answered. Said BCU circles are equipped with the clock control section. This clock control section While supplying the clock supplied from the outside to said CPU section and said BCU circles, about the clock supplied to said CPU section It restricts to the read access demand to said external device from said CPU section. The data processor characterized by extending the condition in front of the changing point of the clock which inputs the input data which requires said CPU section for said read access demand from said internal bus until said input data is decided on

said internal bus.

[Claim 2] Said BCU section is a data processor according to claim 1

characterized by having the access-control section which generates the weight State according to the ready signal outputted from said external device.

[Claim 3] Said BCU section is a data processor according to claim 1

characterized by having a storage means to memorize the number of the weight State according to the access rate for every address of said external device, and having the access-control section which generates the weight State based on the number of the weight State memorized by said storage means corresponding to the address of access request point equipment at the time of the access request from said CPU section.

[Claim 4] Said clock control section is a data processor according to claim 3

characterized by suspending supply of the clock to the BCU principal part except said access-control section during the weight State period of said bus cycle.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the data processor which performs queuing control according to the rate of access place equipment which can be answered at the time of access to external storage and an external peripheral device about a data processor.

[0002]

[Description of the Prior Art] Generally the queuing control according to each rate which can be answered is required of CPU at the time of delivery of data with an external store and a peripheral device. Generally such queuing control carries out the firm gas of the clock to CPU, and at the time of the bus cycle for access to a store or a peripheral device, it is performed by inserting the weight State in a bus cycle until CPU samples the ready signal from access place equipment in the standup or falling of a clock and becomes a ready. However, by this approach, since the clock is supplied during queuing control as well as usual at CPU, the technical problem which should be solved in respect of the power consumption of CPU is left behind. For this reason, some following amelioration techniques are proposed conventionally.

[0003] One of them is the technique (the 1st conventional technique is called hereafter) of stopping the clock of CPU until the ready signal from access place equipment becomes active so that it may be indicated by JP,4-60859,A. The block diagram is shown in drawing 7 . In the usual case, the clock generated in the clock generation section 505 bypasses the clock control section 504, and is supplied to CPU501 as a clock 506. If a bus cycle for CPU501 to access a store 502 is started, the bus cycle start signal 507 which shows that is given to the clock control section 504, and the clock control section 504 will hold the level of the clock 506 supplied to CPU501 to a low level or high level until the ready signal 503 from a store 502 becomes active from the time. And if the ready signal 503 becomes active, a clock 506 will be supplied like usual. Thereby, CPU501 stops completely during the period which should insert the weight State essentially, when a clock 506 begins to be supplied again, it resumes actuation, and the ready signal 503 detects having become active and ends a bus cycle.

[0004] According to this 1st conventional technique, CPU can be stopped completely and the power consumption of CPU can be reduced until the ready signal from access place equipment becomes active.

[0005] As the second conventional technique does not stop a clock and is looked at by JP,61-103727,U, the inside of wait mode is the technique (the 2nd conventional technique is called hereafter) switched to a low speed clock. The

block diagram is shown in drawing 8 . In the usual case, the clock generated in the clock generation section 601 is supplied to CPU as a clock 603 through the gate 606,608. If a bus cycle for CPU to access an external store etc. is started and it becomes wait mode, while the gate 606 will be closed by the control signal 602 outputted from CPU, the gate 605 is opened by the output of the gate 607 and the clock which carried out dividing of the clock of the clock generation section 601 with the counting-down circuit 604 is supplied to CPU as a clock 603 through the gate 605,608.

[0006] According to this 2nd conventional technique, although CPU cannot be completely stopped in weight, since a low speed clock is supplied in the meantime, reduction of the power consumption of a certain extent is possible.

[0007] The third conventional technique is techniques (the 3rd conventional technique is called hereafter) which switch the clock rate of CPU according to the rate of access request point equipment, as JP,62-191960,A sees. The block diagram is shown in drawing 9 . In the usual case, the clock generated in the clock generation section 707 bypasses the clock control section 709 as it is, and is supplied to CPU701 as a CPU clock 708. Initiation of a bus cycle for CPU701 to access a store 702 or the circumference function 703 determines this clock rate and number of weight in a bus cycle with reference to the clock rate and the number of weight for every access place device address the control circuit 705 is

beforehand remembered to be inside based on the address of the access place equipment outputted on the external bus 704. The determined clock rate is notified to the clock control section 709 by the clock-rate control line 706, and the clock control section 709 changes the clock rate of the clock 708 to CPU701 according to it. On the other hand, according to the determined number of weight, the number control line 710 of weight to CPU701 is controlled.

[0008] Although it is in the key objective of this 3rd conventional technique abolishing each store 702 and the need of giving a ready signal sending-out function every circumference function 703, if a clock rate is reduced according to the rate of access place equipment, in order that CPU701 may operate at a low speed, the effectiveness of reducing power consumption will also be done so in the meantime. However, since CPU701 needs to detect the condition of the number control line 710 of weight equivalent to a ready signal line and needs to judge termination of a bus cycle, it cannot stop the clock of CPU701 completely like the 2nd conventional technique.

[0009]

[Problem(s) to be Solved by the Invention] A technique which was mentioned above in order for queuing control to reduce the power consumption in required CPU by relation with the rate of access place equipment which can be answered was proposed conventionally, and was an effective technique depending on the

class of CPU. CPU is equipped with the CPU section which manages data processing of data, and the BCU section which manages the data I/O between the store of this CPU section and the exterior, or a peripheral device. However, for improvement in processing speed In CPU which enabled it to continue other actuation, without waiting the access termination after the CPU section passed light data to the BCU section at the time of light access to an external device, neither of the above-mentioned conventional techniques was inapplicable.

[0010] That is, it is because the clock to CPU will stop and actuation of the internal CPU section will also be suspended, even if it is the case of the bus cycle not only concerning the case of the bus cycle which requires it for read access but light access if the bus cycle to an external device is started when the conventional technique of the above 1st is applied. Moreover, although the internal CPU section can operate since the clock to CPU does not stop completely when the above 2nd and the 3rd conventional technique are applied, it is because it changes to a low-speed clock, so processing speed usually falls compared with the time.

[0011] If it was in CPU which consists of a CPU section and a BCU section and which was mentioned above from such a situation, the configuration as shown in drawing 10 was adopted about queuing control.

[0012] In drawing 10 , CPU400 is connected including the CPU section 401 and

the BCU section 403 with the internal bus 409 with which they consist of an internal address bus and an internal data bus. Moreover, the BCU section 403 is connected to storage 404 and the circumference function 405 by the external bus 407 which consists of an external address bus, an external data bus, and an external control bus. The clock 411 generated in the clock generation section 410 is inputted into CPU400, and firm gas is carried out to the internal CPU section 401 and the internal BCU section 403.

[0013] When reading data from a store 404 or the circumference function 405, the CPU section 401 outputs the address of an access place to an internal address bus while requiring a lead from the BCU section 403 with a access request signal 402. The BCU section 403 activates the busy signal 406 to the CPU section 401 at the same time it starts a light bus cycle with the access request signal 402 from the CPU section 401 to the store 404 or the circumference function 405 used as an access place. The CPU section 401 waits until this busy signal 406 becomes inactive. The storage 404 or the circumference function 405 of an access place performs the access request from the BCU section 403, and it activates the ready signal 408 while it outputs data to an external bus 407. The BCU section 403 has sampled the condition of the ready signal 408 in the State of a light bus cycle, and when the ready signal 408 is not active, it performs queuing control which inserts the weight State. And if it

detects that the ready signal 408 became active, the BCU section 403 latches to the interior the data outputted on the external bus 407 from access place equipment, it will make a busy signal 406 inactive while transmitting it to an internal bus 409, and will end a light bus cycle. The CPU section 401 detects this and ends reception and read access for data from an internal bus 409.

[0014] Moreover, when writing in data to a store 404 or the circumference function 405, data are outputted to an internal data bus and the CPU section 401 outputs the address of an access place to an internal address bus while requiring a light from the BCU section 403 with a access request signal 402. The BCU section 403 starts the lead bus cycle for in response processing the above-mentioned address demand on an external bus 407. Unlike the time of read access, at this time, a busy signal 406 is still inactive. Therefore, after it writes the CPU section 401 in the BCU section 403 and it passes data, it does not have to carry out queuing, it can end light access, and can continue other actuation. On the other hand, the store 404 or the circumference function 405 of an access place activates reception and the ready signal 408 for data from an external bus 407 according to the light bus cycle from the BCU section 403. The BCU section 403 has sampled the condition of the ready signal 408 in the State of a light bus cycle, and when the ready signal 408 is not active, it performs queuing control which inserts the weight State. And detection of that the ready

signal 408 became active ends a light bus cycle.

[0015] Thus, it consisted of a CPU section and a BCU section, and if it was in CPU which lost queuing control of the CPU section at the time of light access for improvement in processing speed, reduction of the power consumption of CPU at the time of the queuing control at the time of read access was not achieved.

Moreover, if it was in this kind of CPU, while the queuing control function was needed for the BCU section, there was also a trouble that the queuing control function according to a busy signal was further needed also for the CPU section.

[0016] It is in this invention being proposed in view of such a situation, enabling reduction of the power consumption, preventing the fall of the processing speed of the CPU section in CPU of the format which consisted of a CPU section and a BCU section, as the purpose was mentioned above, and making unnecessary the queuing control function in the CPU section.

[0017]

[Means for Solving the Problem] This invention contains the CPU section which manages data processing of data, and the BCU section which manages the data I/O between this CPU section and an external device, in order to attain the above-mentioned purpose. This BCU section While connecting with said CPU section with an internal bus, it connects with said external device by the external bus. Answer an access request from said CPU section, and a bus cycle is

generated on said external bus. And it sets to the data processor which has the function to generate the weight State in said bus cycle according to the rate of said external device of an access place which can be answered. While supplying the clock supplied from the outside to said CPU section and said BCU section, about the clock supplied to said CPU section It restricts to the read access demand to said external device from said CPU section. Said BCU section is equipped with the clock control section which extends the condition in front of the changing point of the clock which inputs the input data which requires said CPU section for said read access demand from said internal bus until said input data is decided on said internal bus.

[0018]

[Function] The BCU section generates a bus cycle on an external bus, and the weight State is generated in a bus cycle in the data processor of this invention according to the rate of access place equipment which can be answered according to the ready signal and the number of the weight State memorized beforehand from access place equipment at the time of access to the external device from the CPU section. At this time, although the clock control section is supplied to the CPU section usually through a clock at the time of light access, it extends the condition in front of the changing point of the clock which inputs the input data which requires the CPU section for a read access demand from an

internal bus at the time of read access, until the BCU section outputs the data led from the external device on an internal bus. For example, if data shall be led from an internal bus at the standup time of the following clock with which the CPU section advanced the read access demand, the clock control section will be extended until input data decides the low level which is in the condition of the just before at the standup time of the following clock with which the CPU section advanced the read access demand on an internal bus.

[0019]

[Example] Next, the example of this invention is explained to a detail with reference to a drawing.

[0020] Drawing 1 is the block diagram of one example of this invention. In this drawing, it is CPU which is the data processor with which 100 applied this invention, and the CPU section 101 which manages data processing of data, and the BCU section 105 which manages the store 106 of this CPU section 101 and the exterior and the data I/O between the circumference functions 107 are included.

[0021] The BCU section 105 is connected to storage 106 and the circumference function 107 by the external bus 108 which consists of an external data bus, an external address bus, and an external control bus while connecting with the CPU section 101 with the internal bus which consists of an internal address bus 103

and an internal data bus 104. While preparing clock control section 105c in this BCU section 105 in addition to BCU principal part 105a and access-control section 105b which realize that fundamental function, once inputting into this clock control section 105c the clock 111 generated in the clock generation section 110 equipped outside and supplying BCU principal part 105a and access-control section 105b from here, he is trying to supply the CPU section 101 as a CPU clock 112 in this example. In addition, the store 106 and the ready signal 109 from the circumference function 107 are inputted into the BCU section 105.

[0022] In CPU100 of drawing 1 , when it operates considering from the standup of the CPU clock 112 to the next standup as one clock cycle and access to storage 106 or the circumference function 107 is needed, the CPU section 101 activates a lead and the access request signal 102 including the classification of a light synchronizing with the standup of the CPU clock 112, and outputs the address which serves as a candidate for access synchronizing with the next falling of the CPU clock 112 to an internal address bus 103. And at the time of read access, data are received from an internal data bus 104 at the termination (at that is, the standup time of a clock) of the next clock cycle of the CPU clock 112. That is, the CPU section 101 ends read access by two clock cycles. Moreover, at the time of light access, in falling of the next clock cycle of the CPU

clock 112, data are outputted to an internal data bus 104, and light access is finished. That is, the CPU section 101 also ends light access by two clock cycles.

[0023] The BCU section 105 starts a bus cycle from the access request signal 102 from the CPU section 101, and the address outputted to the internal address bus 103, and outputs the data of an internal data bus 104 to an external bus 108 at the time of a light.

[0024] By the bus cycle which the BCU section 105 generated, a store 106 and the circumference function 107 output data to an external bus 108 at the time of read access, and incorporate data from an external bus 108 at the time of light access. At this time, a period until access is completed makes the ready signal 109 inactive.

[0025] The BCU section 105 has sampled the condition of the ready signal 109 in the State in a bus cycle, and performs queuing control which generates [ that the ready signal 109 is still inactive and ] the weight State. Moreover, if it detects that the ready signal 109 became active, a bus cycle is ended at the time of light access, at the time of read access, the data outputted to the external bus 108 from the store 106 or the circumference function 107 will be incorporated, it will output to an internal data bus 104, and a bus cycle will be ended.

[0026] Since the CPU section 101 ends read access by two clock cycles as mentioned above, the BCU section 105 needs to pass data to the CPU section

101 through an internal data bus 104 by the following clock cycle to which the access request signal 102 concerning a lead was outputted from the CPU section 101. For this reason, clock control section 105c of the BCU section 105 controls the read access demand from the CPU section 101, and the CPU clock 112, extends the clock cycle of the CPU section 101, and guarantees arrival of data. That is, the standup time of the termination of the next clock cycle of the clock cycle by which the CPU section 101 advanced the read access demand is extended until the BCU section 105 outputs lead data to an internal data bus 104.

[0027] Drawing 2 is the block diagram of the BCU section 105 of drawing 1 .

BCU principal part 105a is prepared between an internal address bus 103 and an internal data bus 104, and an external bus 108, and a data latch, an input output buffer, a prefetch device, an aligner, etc. mainly constitute the data bus section and the prefetch control section. On the other hand, access-control section 105b consists of an access request maintenance device 1051 in which the access request from the CPU section 101 of drawing 1 is received and held, and a bus state generator 1050 which performs bus actuation corresponding to the access request held here.

[0028] Clock control section 105c consists of a clock control signal generation means 1053 and the gate 1052. The access request classification held at the access request maintenance device 1051 is a lead, and when the bus state

generator 1050 shows under bus actuation and the ready signal 109 becomes inactive further, the clock control signal generation means 1053 makes inactive the clock control signal 1054 which is the output, and returns the clock control signal 1054 actively just before [ termination ] the bus cycle concerned. The gate 1052 intercepts passage of a clock 111 during the period when the clock control signal 1054 is inactive.

[0029] Drawing 3 is the timing chart of the example of drawing 1 of operation. If the address of a lead place is outputted to an internal address bus 103 while the CPU section 101 outputs the access request which starts a lead by the CPU clock cycle CS 1 to a access request signal 102, as shown in this drawing, the BCU section 105 will start a lead bus cycle by the following clock cycle. And when the weight State TW is generated according to the ready signal 109 from access place equipment and the ready signal 109 becomes active, the data outputted to the external bus 108 from access place equipment are incorporated, it outputs to an internal data bus 104, and a lead bus cycle is ended. At this time, that lead data are decided on an internal data bus 104 counts from the CPU clock cycle CS 1 to which the CPU section 101 outputted the read access demand, and it serves as a clock cycle of four-piece beyond. For this reason, clock control section 105c has extended the period of the CPU clock cycle CS 2 by extending the standup time of the next CPU clock cycle CS 2 of the CPU

clock cycle CS 1 to which the CPU section 101 outputted the read access demand until lead data are decided to an internal data bus 104.

[0030] In addition, the example of drawing 2 shows the example to which the CPU section 101 outputted the light access request following the read access demand, and the CPU section 101 is outputting the access place address to the internal address bus 103 in falling of this CPU clock cycle CS 2 while outputting a light access request in the standup of the next CPU clock cycle CS 2 of the CPU clock cycle CS 1 which advanced the read access demand. The bus cycle concerning this light access request is immediately started after termination of the lead bus cycle preceded as shown in this drawing. As for the BCU section 105, this light bus cycle generates the weight State TW according to the ready signal 109 from access place equipment, and unlike a lead bus cycle, it usually passes along the CPU clock 112, and it is supplied also in the meantime.

[0031] Drawing 4 is the block diagram of another example of this invention. The point that this example is different from the example of drawing 1 is in the point which also controlled the supply clock to BCU principal part 305a while controlling the CPU clock 311 like the example of previous drawing 1 in clock control section 305c to the 1st, and access-control section 305b is in the point of having been made to carry out queuing control, without being based on a ready signal from an external device the 2nd. For this reason, unlike the example of

drawing 1 , a store 306 and the ready signal from the circumference function 307 do not exist.

[0032] Drawing 5 is the block diagram of the BCU section 305 of drawing 4 . The BCU section 305 consists of BCU principal part 305a, access-control section 305b, and clock control section 305c. BCU principal part 305a is the same as BCU principal part 105a of drawing 1 . In addition to the same bus state generator 3053 as drawing 1 , and the access request maintenance device 3054, access-control section 305b is equipped with the address decoder 3051, the weight register 3052, and the comparator 3055.

[0033] The number of the weight State which corresponds by the address decoder 3051 which decodes the address when the number of the weight State according to the access rate is set up by each address mapping of storage 306 and the circumference function 307 and the address of access place equipment is outputted to an internal address bus 303 is read from the weight register 3052 to the weight register 3052, and it is added to one input of a comparator 3055. The bus state count (value which shows whether it is a how many current bus state) which the bus state generator 3053 outputs is added to the input of another side of a comparator 3055, and a comparator 3055 compares both and outputs the comparison result. The comparison result which this comparator 3055 outputs is equivalent to the ready signal 109 in the example of drawing 1 ,

and the bus state generator 3053 generates the weight State in a bus cycle based on the comparison result from a comparator 3055.

[0034] On the other hand, clock control section 305c consists of the gates 3056, 3059, and 3061 and a clock control signal generation means 3057. The clock control signal generation means 3057 is based on the comparison result of a comparator 3055, the access request classification currently outputted from the access request maintenance device 3054, and the bus working signal currently outputted from the bus state generator 3053. the clock control signal generation means 1053 of drawing 2 -- the same -- access request classification -- a lead -- it is -- a bus, when it is working and the comparison result of a comparator 3055 showed the inequality The clock control signal 3058 which is the output is made inactive, and the clock control signal 3058 is actively returned just before [ termination ] the bus cycle concerned. During the period when the clock control signal 3058 is inactive, the gate 3056 is intercepting passage of a clock 310, and controls the CPU clock 311.

[0035] Moreover, as for the gate 3059, the comparison result of a comparator 3055 makes inactive the clock control signal 3060 only whose period when the signal which shows an inequality and shows a weight State period from the bus state generator 3053 is inputted is the output. During the period when the clock control signal 3060 is inactive, the gate 3061 is intercepting the notice of a clock

310, and controls the clock 3062 to BCU principal part 305a.

[0036] It is as follows when actuation of the example of drawing 4 is explained.

When it operates considering from the standup of the CPU clock 311 to the next standup as one clock cycle and access to storage 306 or the circumference function 307 is needed, the CPU section 301 activates a lead and the access request signal 302 including the classification of a light synchronizing with the standup of the CPU clock 311, and outputs the address which serves as a candidate for access synchronizing with the next falling of the CPU clock 311 to an internal address bus 303. And at the time of read access, data are received from an internal data bus 304 at the termination (at that is, the standup time of a clock) of the next clock cycle of the CPU clock 311. That is, the CPU section 301 ends read access by two clock cycles. Moreover, at the time of light access, in falling of the next clock cycle of the CPU clock 311, data are outputted to an internal data bus 304, and light access is finished. That is, the CPU section 301 also ends light access by two clock cycles.

[0037] Access-control section 305b of the BCU section 305 starts a bus cycle from the access request signal 302 from the CPU section 301, and the address outputted to the internal address bus 303, and outputs the data of an internal data bus 304 to an external bus 308 at the time of a light.

[0038] By the bus cycle which the BCU section 305 generated, after fixed time

amount progress according to the processing speed of self-equipment 306, a store 306 outputs data to an external bus 308 at the time of read access, and incorporates data from an external bus 308 at the time of light access. Moreover, by the bus cycle which the BCU section 305 generated, after fixed time amount progress according to the processing speed of self-equipment, the circumference function 307 also outputs data to an external bus 308 at the time of read access, and incorporates data from an external bus 308 at the time of light access.

[0039] If the number of the weight State according to storage 306 and the access rate of the circumference function 307 is held to the address mapping of storage 306 and the circumference function 307 and, as for the weight register 3052 of access-control section 305b of the BCU section 305, the CPU section 301 outputs the lead place address to a read access demand at an internal address bus 303, the number of the weight State which corresponds with the output of an address decoder 3051 will be read from the weight register 3052 to a comparator 3055. This number of the weight State is compared with the bus state count from the bus state generator 3053 in a comparator 3055, and that comparison result is notified to the bus state generator 3054. The bus state generator 3054 extends bus actuation until a comparison result shows coincidence. And the clock control signal generation means 3057 and the gate

3056 of clock control section 305c are extended until lead data decide the low level of the CPU clock 311 in the next clock cycle of the clock cycle by which the CPU section 301 advanced the read access demand on an internal data bus 304.

[0040] Moreover, the gates 3059 and 3061 of clock control section 305c intercept the clock 3062 to BCU principal part 305a during the period of the weight State in the bus cycle which generates access-control section 305b. Thereby, the power consumption of BCU principal part 305a in a weight State period can be stopped.

[0041] In addition, if a weight State period vacates, since a clock 3062 will usually pass and will be supplied, BCU principal part 305a can resume the usual actuation.

[0042] Drawing 6 is the timing chart of the example of drawing 4 of operation. If the address of a lead place is outputted to an internal address bus 303 while the CPU section 301 outputs the access request which starts a lead by the CPU clock cycle CS 1 to a access request signal 302, as shown in this drawing, access-control section 305b of the BCU section 305 will start a lead bus cycle by the following clock cycle. And the weight State TW is generated according to the access time of access place equipment, and the data outputted to the external bus 308 from access place equipment in the State just behind the weight State TW are incorporated, it outputs to an internal data bus 304, and a lead bus cycle

is ended. At this time, that lead data are decided on an internal data bus 304. Since the CPU section 301 counts from the CPU clock cycle CS 1 which outputted the read access demand and serves as a clock cycle of four-piece beyond, clock control section 305c By extending the standup time of the next CPU clock cycle CS 2 of the CPU clock cycle CS 1 to which the CPU section 301 outputted the read access demand until lead data are decided to an internal data bus 304. The period of the CPU clock cycle CS 1 is extended.

[0043] Moreover, clock control section 305c suspends the clock to BCU principal part 305a during the period of the weight State TW in a lead bus cycle.

[0044] In addition, drawing 6 shows the example to which the CPU section 301 outputted the light access request following the read access demand, and the CPU section 301 is outputting the access place address to the internal address bus 303 in falling of this CPU clock cycle CS 2 while outputting a light access request in the standup of the next CPU clock cycle CS 2 of the CPU clock cycle CS 1 which advanced the read access demand. The bus cycle concerning this light access request is immediately started after termination of the lead bus cycle preceded as shown in this drawing. Although, as for BCU principal part 305a of the BCU section 305, this light bus cycle has also generated the weight State TW, the clock 3062 to BCU principal part 305a stops in the meantime. However, it usually passes along the CPU clock 311, and it is supplied.

[0045] In addition, "Hold RQ Sampling" shown in drawing 6 shows a bus surrender demand. A bus surrender demand is the signal inputted to the BCU section 305, when other external units use an external bus 308, and when this is received, after the BCU section 305 inhibits generating of a new bus cycle and disables an output buffer, it delivers, and it outputs a comprehension signal (Hold Ack). When this bus surrender demand is generally sampled in front of 1 clock of termination of a bus cycle and that bus cycle is completed after 1 clock, the BCU section 305 controls starting of the following bus cycle, and it is Hold. Ack is outputted. By this invention, at the sampling time of a bus surrender demand, since the clock is supplied to BCU principal part 305a, when a bus surrender demand is detected in "Hold RQ Sampling" of the beginning of drawing 6 , generating of the bus cycle concerning a consecutive light is inhibited. That is, it is possible to lose the delay of a response to a bus surrender demand. since [ on the other hand, ] the clock of the BCU section has stopped in the part which indicated "Hold RQ Sampling" of drawing 6 with the conventional technique of stopping the clock to CPU -- the BCU section -- Hold RQ cannot be inputted, but the following bus cycle will be started, and the response to a bus surrender demand will be delayed.

[0046]

[Effect of the Invention] According to the data processor of this invention

explained above, the following effectiveness can be acquired.

[0047] Since the clock to the CPU section is suspended until the read access demand of the CPU section and the BCU section output input data to an internal bus, the power consumption of the part CPU section decreases. If it takes into consideration that the circuit scale of the CPU section is generally several times the BCU section, reduction of the power consumption of the whole CPU will be attained.

[0048] At the time of the light access request of the CPU section, since a clock is usually supplied to a passage regardless of actuation of access place equipment to the CPU section, the processing speed of the CPU section does not fall.

[0049] Since the BCU section is operating also during a halt of the CPU section, the delay of a response to a bus surrender demand can be lost.

[0050] Although it is necessary to also change the synchronouser control of the CPU section in the conventional technique of drawing 10 which gave the queuing function to both the CPU section and the BCU section when actuation of the BCU section is changed since the synchronization with the CPU section and the BCU section is performed by the bidirectional signal control Since the queuing control function in the CPU section does not need to become unnecessary and it is not necessary to take a synchronouser control into consideration only by a clock period changing for the CPU section by this

invention, It becomes unnecessary to change the design of the CPU section also to the design change of the BCU sections, such as separation of an address data bus, and built-in of a cache. Moreover, since a queuing control function is not needed for the CPU section, it becomes reducible [ the gate number of the part ].

[0051] With the configuration which suspends supply of the clock to the BCU principal part during the weight State period in a bus cycle, reduction of the power consumption of CPU is possible much more.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of one example of this invention.

[Drawing 2] It is the block diagram of the BCU section in the example of drawing

1 .

[Drawing 3] It is the timing chart of the example of drawing 1 of operation.

[Drawing 4] It is the block diagram of another example of this invention.

[Drawing 5] It is the block diagram of the BCU section of the example of drawing

4 .

[Drawing 6] It is the timing chart of the example of drawing 4 of operation.

[Drawing 7] It is the block diagram of the conventional technique.

[Drawing 8] It is the block diagram of the conventional technique.

[Drawing 9] It is the block diagram of the conventional technique.

[Drawing 10] It is the block diagram of the conventional technique.

[Description of Notations]

100 -- CPU

101 -- The CPU section

102 -- Access request signal

103 -- Internal address bus

104 -- Internal data bus

105 -- The BCU section

The 105 a--BCU principal parts

105b -- Access-control section

105c -- Clock control section

106 -- Storage

107 -- Circumference function

108 -- External bus

109 -- Ready signal

110 -- Clock generation section

111 -- Clock

112 -- CPU clock

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-147161

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 9/30	3 3 0 C			
1/04	3 0 1 C			
13/42	3 5 0 B	9188-5E		

審査請求 有 請求項の数 4 F D (全 14 頁)

(21) 出願番号 特願平6-311200

(22) 出願日 平成6年(1994)11月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉本 英樹

東京都港区芝五丁目7番1号 日本電気株式会社内

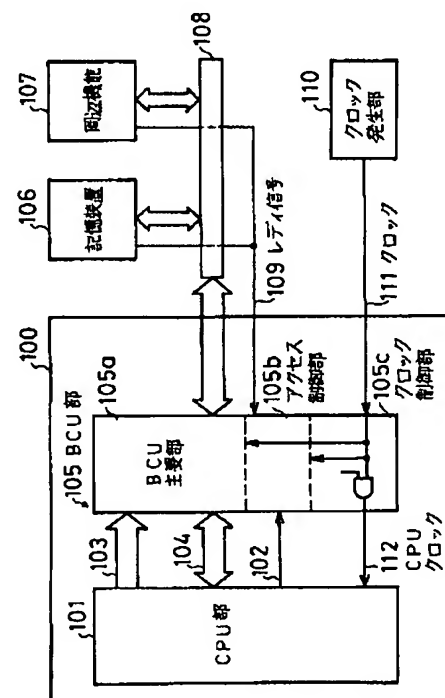
(74) 代理人 弁理士 境 廣巳

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 CPU部とBCU部とで構成された形式のCPUにおいて、CPU部の処理速度の低下を防止しつつ、その消費電力の低減を可能とし、且つ、CPU部における待ち合わせ制御機能を不要にする。

【構成】 クロック制御部105cは、外部から供給されるクロック111をCPU部101及びBCU部105内に分配する。このとき、CPU部101からの記憶装置106等に対するリードアクセス要求時に限り、CPU部101に供給するCPUクロック112の周期を大きくする。即ち、CPU部101が内部データバス104から入力データを入力するCPUクロック112の変化点の直前の状態を、リードデータが内部データバス104上に確定するまで延長する。



**【特許請求の範囲】**

**【請求項1】** データの演算処理を司るCPU部と、該CPU部と外部装置との間のデータ入出力を司るBCU部とを含み、該BCU部は、前記CPU部に内部バスで接続されると共に前記外部装置に外部バスで接続され、前記CPU部からのアクセス要求に応答して前記外部バス上にバスサイクルを発生させ、且つアクセス先の前記外部装置の応答可能速度に応じて前記バスサイクル中にウェイトステートを発生させる機能を有するデータ処理装置において、  
前記BCU部内にクロック制御部を備え、  
該クロック制御部は、外部から供給されるクロックを前記CPU部および前記BCU部内に供給すると共に、前記CPU部に供給するクロックについては、前記CPU部からの前記外部装置に対するリードアクセス要求時に限り、前記CPU部が前記内部バスから前記リードアクセス要求にかかる入力データをを入力するクロックの変化点の直前の状態を、前記内部バス上に前記入力データが確定する時点まで延長することを特徴とするデータ処理装置。

**【請求項2】** 前記BCU部は、前記外部装置から出力されるレディー信号に応じてウェイトステートを発生させるアクセス制御部を有することを特徴とする請求項1記載のデータ処理装置。

**【請求項3】** 前記BCU部は、前記外部装置のアドレス毎にそのアクセス速度に応じたウェイトステート数を記憶する記憶手段を有し、前記CPU部からのアクセス要求時、アクセス要求先装置のアドレスに対応して前記記憶手段に記憶されたウェイトステート数に基づいてウェイトステートを発生させるアクセス制御部を有することを特徴とする請求項1記載のデータ処理装置。

**【請求項4】** 前記クロック制御部は、前記バスサイクルのウェイトステート期間中、前記アクセス制御部を除くBCU主要部へのクロックの供給を停止することを特徴とする請求項3記載のデータ処理装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明はデータ処理装置に関し、特に外部の記憶装置および周辺装置に対するアクセス時にアクセス先装置の応答可能速度に応じた待ち合わせ制御を行うデータ処理装置に関する。

**【0002】**

**【従来の技術】** 一般にCPUでは、外部の記憶装置および周辺装置とのデータの受け渡し時に、それぞれの応答可能速度に応じた待ち合わせ制御が必要である。このような待ち合わせ制御は、一般的にはCPUにクロックを常時供給しておき、記憶装置または周辺装置に対するアクセスのためのバスサイクル時、CPUがアクセス先装置からのレディー信号をクロックの立ち上がり或いは立ち下がりですAMPLINGし、レディーになるまでバスサ

イクルにウェイトステートを挿入することで行われている。しかし、この方法では、待ち合わせ制御中にも通常と同じようにクロックがCPUに供給されているため、CPUの電力消費の面で解決すべき課題が残されている。このため、従来より以下のような幾つかの改良技術が提案されている。

**【0003】** その一つは特開平4-60859号公報に記載されるように、アクセス先装置からのレディー信号がアクティブになるまでCPUのクロックを停止させる技術（以下、第1の従来技術と称す）である。図7にそのブロック図を示す。通常の場合、クロック発生部505で発生されたクロックがクロック制御部504を素通りしてCPU501にクロック506として供給される。CPU501が記憶装置502をアクセスするためのバスサイクルを開始すると、その旨を示すバスサイクル開始信号507がクロック制御部504に与えられ、クロック制御部504は、その時点より記憶装置502からのレディー信号503がアクティブになるまで、CPU501に供給するクロック506のレベルをロウレベル或いはハイレベルに保持する。そして、レディー信号503がアクティブになるとクロック506を通常のように供給する。これにより、CPU501はウェイトステートを本来挿入すべき期間中は完全に停止し、クロック506が再び供給され始めた時点で動作を再開し、レディー信号503がアクティブになったことを検出してバスサイクルを終了する。

**【0004】** この第1の従来技術によれば、アクセス先装置からのレディー信号がアクティブになるまでの間、CPUを完全に停止させることができ、CPUの消費電力を低減することができる。

**【0005】** 二つ目の従来技術は、クロックを停止させるのではなく実開昭61-103727号公報に見られるようにウェイトモード中は低速なクロックに切り換える技術（以下、第2の従来技術と称す）である。図8にそのブロック図を示す。通常の場合、クロック発生部601で発生されたクロックはゲート606、608を介してクロック603としてCPUに供給される。CPUが外部の記憶装置等をアクセスするためのバスサイクルを開始してウェイトモードになると、CPUから出力された制御信号602によってゲート606が閉じられる一方、ゲート607の出力によりゲート605が開かれ、クロック発生部601のクロックを分周器604で分周したクロックがゲート605、608を介してクロック603としてCPUに供給される。

**【0006】** この第2の従来技術によれば、ウェイト中にCPUを完全に停止させることはできないが、その間は低速なクロックが供給されるので、或る程度の消費電力の低減が可能である。

**【0007】** 三つ目の従来技術は特開昭62-191960号公報に見られるように、アクセス要求先装置の速

度に応じてCPUのクロック速度を切り換える技術（以下、第3の従来技術と称す）である。図9にそのブロック図を示す。通常の場合、クロック発生部707で発生されたクロックがそのままクロック制御部709を素通りしてCPUクロック708としてCPU701に供給される。CPU701が記憶装置702または周辺機能703をアクセスするためのバスサイクルを開始すると、外部バス704上に出力されたアクセス先装置のアドレスに基づき、制御回路705が内部に予め記憶されているアクセス先装置アドレス毎のクロック速度およびウェイト数を参照して今回のバスサイクルにおけるクロック速度とウェイト数とを決定する。決定されたクロック速度はクロック速度制御線706にてクロック制御部709に通知され、クロック制御部709はCPU701に対するクロック708のクロック速度をそれに応じて変更する。他方、決定されたウェイト数に従ってCPU701に対するウェイト数制御線710が制御される。

【0008】この第3の従来技術の主目的は、個々の記憶装置702、周辺機能703毎にレディー信号送出機能を持たせる必要を無くすことにあるが、アクセス先装置の速度に応じてクロック速度を低下させれば、その間CPU701は低速で動作するため、消費電力を低減する効果も奏される。但し、CPU701は、レディー信号線に相当するウェイト数制御線710の状態を検出してバスサイクルの終了を判断する必要があるため、第2の従来技術と同様に、CPU701のクロックを完全に停止させることはできない。

#### 【0009】

【発明が解決しようとする課題】アクセス先装置の応答可能速度との関係で待ち合わせ制御が必要なCPUにおいて、その消費電力を低減させるために上述したような技術が従来より提案されており、CPUの種類によっては有効な技術ではあった。しかし、CPUが、データの演算処理を司るCPU部と、このCPU部と外部の記憶装置や周辺装置との間のデータ入出力を司るBCU部とを備え、処理速度の向上のために、外部装置に対するライトアクセス時にCPU部がライトデータをBCU部に渡した後はそのアクセス終了を待ち合わせることなく他の動作を続けることができるようにしたCPUにおいては、上記の何れの従来技術も適用することができなかった。

【0010】即ち、上記第1の従来技術を適用した場合、外部装置に対するバスサイクルが開始されると、それがリードアクセスにかかるバスサイクルの場合に限らずライトアクセスにかかるバスサイクルの場合であってもCPUへのクロックが停止し、内部のCPU部の動作も停止してしまうからである。また、上記第2、第3の従来技術を適用した場合、CPUへのクロックは完全に停止することがないため内部のCPU部は動作が可能で

あるが、低速のクロックに切り替わるため、通常時に比べて処理速度が低下するからである。

【0011】このような事情から、CPU部とBCU部とで構成される上述したCPUにあっては、待ち合わせ制御に関し、図10に示すような構成を採用していた。

【0012】図10において、CPU400は、CPU部401とBCU部403とを含み、それらは内部アドレスバス、内部データバスから構成される内部バス409で接続されている。またBCU部403は、外部アドレスバス、外部データバス、外部コントロールバスから構成される外部バス407によって記憶装置404および周辺機能405に接続されている。クロック発生部410で発生されたクロック411はCPU400に入力され、内部のCPU部401およびBCU部403に常時供給されている。

【0013】記憶装置404または周辺機能405からデータを読み込む場合、CPU部401はアクセス要求信号402でBCU部403に対しリードを要求すると共に内部アドレスバスにアクセス先のアドレスを出力する。BCU部403はCPU部401からのアクセス要求信号402によって、アクセス先となる記憶装置404または周辺機能405に対してライトバスサイクルを起動すると同時に、CPU部401に対するビジー信号406をアクティブにする。CPU部401はこのビジー信号406が非アクティブになるまで待ち合わせる。アクセス先の記憶装置404または周辺機能405は、BCU部403からのアクセス要求を実行し、データを外部バス407に出力すると共にレディー信号408をアクティブにする。BCU部403はライトバスサイクルのステートにおいてレディー信号408の状態をサンプリングしており、レディー信号408がアクティブでない場合にはウェイトステートを挿入する待ち合わせ制御を行う。そして、レディー信号408がアクティブになったことを検出すると、BCU部403はアクセス先装置から外部バス407上に出力されたデータを内部にラッチし、内部バス409へ転送すると共にビジー信号406を非アクティブにし、ライトバスサイクルを終了する。CPU部401はこれを検出して内部バス409からデータを受け取り、リードアクセスを終了する。

【0014】また、記憶装置404または周辺機能405に対しデータを書き込む場合、CPU部401はアクセス要求信号402でBCU部403に対しライトを要求すると共に内部データバスにデータを、内部アドレスバスにアクセス先のアドレスを出力する。BCU部403はこれを受けて外部バス407上に上記アドレス要求を処理するためのリードバスサイクルを起動する。このとき、リードアクセス時と異なりビジー信号406は非アクティブのままである。従って、CPU部401はBCU部403に書き込みデータを渡した後に待ち合わせをする必要がなく、ライトアクセスを終了して他の動作

を続けることができる。他方、アクセス先の記憶装置 404 または周辺機能 405 は、BCU 部 403 からのライトバスサイクルに従って外部バス 407 からデータを受け取り、レディー信号 408 をアクティブにする。BCU 部 403 はライトバスサイクルのステートにおいてレディー信号 408 の状態をサンプリングしており、レディー信号 408 がアクティブでない場合にはウェイトステートを挿入する待ち合わせ制御を行う。そして、レディー信号 408 がアクティブになったことを検出するとライトバスサイクルを終了する。

【0015】このように、CPU 部と BCU 部とで構成され、処理速度の向上のためにライトアクセス時における CPU 部の待ち合わせ制御を無くした CPU にあっては、リードアクセス時の待ち合わせ制御時における CPU の消費電力の低減は図られていなかった。また、この種の CPU にあっては、BCU 部に待ち合わせ制御機能が必要になると共に、更に CPU 部にもビジー信号に応じた待ち合わせ制御機能が必要になるという問題点もあった。

【0016】本発明はこのような事情に鑑みて提案されたものであり、その目的は、前述したように CPU 部と BCU 部とで構成された形式の CPU において、CPU 部の処理速度の低下を防止しつつ、その消費電力の低減を可能とし、且つ、CPU 部における待ち合わせ制御機能を不要にすることにある。

【0017】

【課題を解決するための手段】本発明は上記の目的を達成するために、データの演算処理を司る CPU 部と、該 CPU 部と外部装置との間のデータ入出力を司る BCU 部とを含み、該 BCU 部は、前記 CPU 部に内部バスで接続されると共に前記外部装置に外部バスで接続され、前記 CPU 部からのアクセス要求に回答して前記外部バス上にバスサイクルを発生させ、且つアクセス先の前記外部装置の応答可能速度に応じて前記バスサイクル中にウェイトステートを発生させる機能を有するデータ処理装置において、外部から供給されるクロックを前記 CPU 部および前記 BCU 部に供給すると共に、前記 CPU 部に供給するクロックについては、前記 CPU 部からの前記外部装置に対するリードアクセス要求時に限り、前記 CPU 部が前記内部バスから前記リードアクセス要求にかかる入力データを入力するクロックの変化点の直前の状態を、前記内部バス上に前記入力データが確定する時点まで延長するクロック制御部を、前記 BCU 部に備えている。

【0018】

【作用】本発明のデータ処理装置においては、CPU 部からの外部装置に対するアクセス時、BCU 部が外部バス上にバスサイクルを発生させ、且つ、アクセス先装置からのレディー信号や予め記憶されたウェイトステート数に従って、アクセス先装置の応答可能速度に応じてバ

スサイクル中にウェイトステートを発生させる。このときクロック制御部は、ライトアクセス時にはクロックを通常通り CPU 部に供給するが、リードアクセス時には、BCU 部が外部装置からリードしたデータを内部バス上に出力する時点まで、CPU 部がリードアクセス要求にかかる入力データを内部バスから入力するクロックの変化点の直前の状態を延長する。例えば、CPU 部がリードアクセス要求を出した次のクロックの立ち上がり時点で内部バスからデータをリードするものとする、クロック制御部は CPU 部がリードアクセス要求を出した次のクロックの立ち上がり時点の直前の状態であるロウレベルを、内部バス上に入力データが確定する時点まで延長する。

【0019】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0020】図 1 は本発明の一実施例のブロック図である。同図において、100 が本発明を適用したデータ処理装置である CPU であり、データの演算処理を司る CPU 部 101 と、この CPU 部 101 と外部の記憶装置 106 および周辺機能 107 との間のデータ入出力を司る BCU 部 105 とを含んでいる。

【0021】BCU 部 105 は、内部アドレスバス 103 および内部データバス 104 から構成される内部バスにより CPU 部 101 に接続されると共に、外部データバス、外部アドレスバスおよび外部コントロールバスから構成される外部バス 108 により記憶装置 106 および周辺機能 107 に接続されている。本実施例では、この BCU 部 105 内に、その基本的な機能を実現する BCU 主要部 105a およびアクセス制御部 105b に加え、クロック制御部 105c を設け、外部に備わるクロック発生部 110 で発生されたクロック 111 を一旦このクロック制御部 105c に入力し、ここから BCU 主要部 105a およびアクセス制御部 105b に供給すると共に、CPU クロック 112 として CPU 部 101 に供給するようにしている。なお、BCU 部 105 には記憶装置 106 および周辺機能 107 からのレディー信号 109 が入力されている。

【0022】図 1 の CPU 100 において、CPU 部 101 は CPU クロック 112 の立ち上がりから次の立ち上がりまでを 1 クロックサイクルとして動作し、記憶装置 106 または周辺機能 107 に対するアクセスを必要とするとき、リード、ライトの種別を含むアクセス要求信号 102 を CPU クロック 112 の立ち上がりに同期してアクティブにし、CPU クロック 112 の次の立ち下がりに同期してアクセス対象となるアドレスを内部アドレスバス 103 に出力する。そして、リードアクセス時には、CPU クロック 112 の次のクロックサイクルの終端（つまりクロックの立ち上がり時点）で内部データバス 104 からデータを受け取る。即ち、CPU 部 1

01はリードアクセスを2クロックサイクルで終了する。またライトアクセス時には、CPUクロック112の次のクロックサイクルの立ち下がり、内部データバス104へデータを出力し、ライトアクセスを終える。即ち、CPU部101はライトアクセスも2クロックサイクルで終了する。

【0023】BCU部105は、CPU部101からのアクセス要求信号102と内部アドレスバス103に出力されたアドレスとからバスサイクルを起動し、ライト時には内部データバス104のデータを外部バス108に出力する。

【0024】記憶装置106および周辺機能107は、BCU部105が生成したバスサイクルによって、リードアクセス時には外部バス108へデータを出力し、ライトアクセス時には外部バス108からデータを取り込む。このとき、アクセスが完了するまでの期間はレディー信号109を非アクティブにする。

【0025】BCU部105は、バスサイクルにおけるステートにおいてレディー信号109の状態をサンプリングしており、レディー信号109が非アクティブのままであるとウェイトステートを発生させる待ち合わせ制御を行う。また、レディー信号109がアクティブになったことを検出すると、ライトアクセス時にはバスサイクルを終了し、リードアクセス時には記憶装置106または周辺機能107から外部バス108に出力されたデータを取り込んで内部データバス104に出力し、バスサイクルを終了する。

【0026】前述したようにCPU部101は2クロックサイクルでリードアクセスを終了するので、BCU部105はCPU部101からリードにかかるアクセス要求信号102が出力された次のクロックサイクルでCPU部101に内部データバス104を通してデータを渡す必要がある。このため、BCU部105のクロック制御部105cは、CPU部101からのリードアクセス要求時、CPUクロック112を制御して、CPU部101のクロックサイクルを延長してデータの到着を保証する。即ち、CPU部101がリードアクセス要求を出したクロックサイクルの次のクロックサイクルの終端の立ち上がり時点を、BCU部105がリードデータを内部データバス104に出力する時点まで延長する。

【0027】図2は図1のBCU部105のブロック図である。BCU主要部105aは内部アドレスバス103および内部データバス104と外部バス108との間に設けられ、データラッチ、入出力バッファ、プリフェッチ機構、アライナ等、主にデータバス部およびプリフェッチコントロール部を構成する。他方、アクセス制御部105bは、図1のCPU部101からのアクセス要求を受け付けて保持するアクセス要求保持機構1051と、ここに保持されたアクセス要求に対応するバス動作を行うバスステートジェネレータ1050とで構成され

ている。

【0028】クロック制御部105cは、クロック制御信号生成手段1053とゲート1052とで構成される。クロック制御信号生成手段1053は、アクセス要求保持機構1051に保持されたアクセス要求種別がリードであり、バスステートジェネレータ1050がバス動作中を示し、更にレディー信号109が非アクティブになった時点で、その出力であるクロック制御信号1054を非アクティブとし、当該バスサイクルの終了間際にクロック制御信号1054をアクティブに戻す。ゲート1052は、クロック制御信号1054が非アクティブの期間中、クロック111の通過を遮断する。

【0029】図3は図1の実施例の動作タイミングチャートである。同図に示すように、CPU部101がCPUクロックサイクルCS1でリードにかかるアクセス要求をアクセス要求信号102に出力すると共にリード先のアドレスを内部アドレスバス103に出力すると、BCU部105は次のクロックサイクルでリードバスサイクルを起動する。そして、アクセス先装置からのレディー信号109に応じてウェイトステートTWを発生させ、レディー信号109がアクティブとなることにより、アクセス先装置から外部バス108に出力されたデータを取り込んで内部データバス104に出力し、リードバスサイクルを終了する。このとき、内部データバス104上にリードデータが確定するのは、CPU部101がリードアクセス要求を出したCPUクロックサイクルCS1から数えて4個先のクロックサイクルとなる。このため、クロック制御部105cは、CPU部101がリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がり時点を、内部データバス104にリードデータが確定するまで延長することにより、CPUクロックサイクルCS2の周期を延長している。

【0030】なお、図2の例はリードアクセス要求に続いてライトアクセス要求をCPU部101が出力した例を示しており、CPU部101はリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がりでライトアクセス要求を出力すると共に同CPUクロックサイクルCS2の立ち下がりアクセス先アドレスを内部アドレスバス103に出力している。このライトアクセス要求にかかるバスサイクルは同図に示すように先行するリードバスサイクルの終了後に直ちに開始される。このライトバスサイクルでもBCU部105はアクセス先装置からのレディー信号109に応じてウェイトステートTWを発生するが、リードバスサイクルとは異なり、その間にもCPUクロック112は通常通り供給される。

【0031】図4は本発明の別の実施例のブロック図である。この実施例が図1の実施例と相違する点は、第1に、クロック制御部305cにおいてCPUクロック3

11を先の図1の実施例と同様に制御すると共にBCU主要部305aへの供給クロックも制御するようにした点にあり、第2に、アクセス制御部305bは外部装置からのレディー信号によらずに待ち合わせ制御を実施するようにした点にある。このため、図1の実施例と異なり、記憶装置306および周辺機能307からのレディー信号は存在しない。

【0032】図5は図4のBCU部305のブロック図である。BCU部305は、BCU主要部305a、アクセス制御部305bおよびクロック制御部305cで構成される。BCU主要部305aは図1のBCU主要部105aと同じである。アクセス制御部305bは、図1と同様なバスステートジェネレータ3053およびアクセス要求保持機構3054に加え、アドレスデコーダ3051、ウェイトレジスタ3052および比較器3055を備えている。

【0033】ウェイトレジスタ3052には、記憶装置306、周辺機能307の各アドレス対応に、そのアクセス速度に応じたウェイトステート数が設定されており、内部アドレスバス303にアクセス先装置のアドレスが出力されたとき、そのアドレスをデコードするアドレスデコーダ3051によって該当するウェイトステート数がウェイトレジスタ3052から読み出されて、比較器3055の一方の入力に加えられる。比較器3055の他方の入力には、バスステートジェネレータ3053が出力するバスステートカウント（現在何個目のバスステートであるかを示す値）が加えられており、比較器3055は両者を比較し、その比較結果を出力する。この比較器3055の出力する比較結果は図1の実施例におけるレディー信号109と等価であり、バスステートジェネレータ3053は比較器3055からの比較結果に基づきバスサイクル中にウェイトステートを発生させる。

【0034】他方、クロック制御部305cは、ゲート3056、3059、3061と、クロック制御信号生成手段3057とで構成されている。クロック制御信号生成手段3057は、比較器3055の比較結果とアクセス要求保持機構3054から出力されているアクセス要求種別とバスステートジェネレータ3053から出力されているバス動作中信号とに基づき、図2のクロック制御信号生成手段1053と同様に、アクセス要求種別がリードであってバス動作中であり、且つ比較器3055の比較結果が不一致を示した時点で、その出力であるクロック制御信号3058を非アクティブとし、当該バスサイクルの終了間際にクロック制御信号3058をアクティブに戻す。ゲート3056は、クロック制御信号3058が非アクティブの期間中、クロック310の通過を遮断することで、CPUクロック311を制御する。

【0035】また、ゲート3059は、比較器3055

の比較結果が不一致を示し、且つバスステートジェネレータ3053からウェイトステート期間を示す信号が入力されている期間だけ、その出力であるクロック制御信号3060を非アクティブとする。ゲート3061は、クロック制御信号3060が非アクティブの期間中、クロック310の通知を遮断することで、BCU主要部305aに対するクロック3062を制御する。

【0036】図4の実施例の動作を説明すると以下のようになる。CPU部301はCPUクロック311の立ち上がりから次の立ち上がりまでを1クロックサイクルとして動作し、記憶装置306または周辺機能307に対するアクセスを必要とするとき、リード、ライトの種別を含むアクセス要求信号302をCPUクロック311の立ち上がりに同期してアクティブにし、CPUクロック311の次の立ち下がりに同期してアクセス対象となるアドレスを内部アドレスバス303に出力する。そして、リードアクセス時には、CPUクロック311の次のクロックサイクルの終端（つまりクロックの立ち上がり時点）で内部データバス304からデータを受け取る。即ち、CPU部301はリードアクセスを2クロックサイクルで終了する。またライトアクセス時には、CPUクロック311の次のクロックサイクルの立ち下がり、内部データバス304へデータを出力し、ライトアクセスを終える。即ち、CPU部301はライトアクセスも2クロックサイクルで終了する。

【0037】BCU部305のアクセス制御部305bは、CPU部301からのアクセス要求信号302と内部アドレスバス303に出力されたアドレスとからバスサイクルを起動し、ライト時には内部データバス304のデータを外部バス308に出力する。

【0038】記憶装置306は、BCU部305が生成したバスサイクルによって、自装置306の処理速度に応じた一定時間経過後に、リードアクセス時には外部バス308へデータを出力し、ライトアクセス時には外部バス308からデータを取り込む。また、周辺機能307も、BCU部305が生成したバスサイクルによって、自装置の処理速度に応じた一定時間経過後に、リードアクセス時には外部バス308へデータを出力し、ライトアクセス時には外部バス308からデータを取り込む。

【0039】BCU部305のアクセス制御部305bのウェイトレジスタ3052は、記憶装置306および周辺機能307のアクセス速度に応じたウェイトステート数を、記憶装置306および周辺機能307のアドレス対応に保持しており、CPU部301がリードアクセス要求時に内部アドレスバス303にリード先アドレスを出力すると、アドレスデコーダ3051の出力により対応するウェイトステート数がウェイトレジスタ3052から比較器3055に読み出される。このウェイトステート数は比較器3055において、バスステートジェ

ネレータ3053からのバスステートカウントと比較され、その比較結果がバスステートジェネレータ3054に通知される。バスステートジェネレータ3054は比較結果が一致を示すまでバス動作を延長する。そして、クロック制御部305cのクロック制御信号生成手段3057およびゲート3056は、CPU部301がリードアクセス要求を出したクロックサイクルの次のクロックサイクルにおけるCPUクロック311のロウレベルを、リードデータが内部データバス304上に確定する時点まで延長する。

【0040】また、クロック制御部305cのゲート3059、3061は、アクセス制御部305bが発生するバスサイクルにおけるウェイトステートの期間中、BCU主要部305aへのクロック3062を遮断する。これにより、ウェイトステート期間中におけるBCU主要部305aの消費電力を抑えることができる。

【0041】なお、ウェイトステート期間が空けると、クロック3062が通常通り供給されるため、BCU主要部305aは通常の動作を再開することができる。

【0042】図6は図4の実施例の動作タイミングチャートである。同図に示すように、CPU部301がCPUクロックサイクルCS1でリードにかかるアクセス要求をアクセス要求信号302に出力すると共にリード先のアドレスを内部アドレスバス303に出力すると、BCU部305のアクセス制御部305bは次のクロックサイクルでリードバスサイクルを起動する。そして、アクセス先装置のアクセスタイムに応じてウェイトステートTWを発生させ、ウェイトステートTW直後のステートにおいてアクセス先装置から外部バス308に出力されたデータを取り込んで内部データバス304に出力し、リードバスサイクルを終了する。このとき、内部データバス304上にリードデータが確定するのは、CPU部301がリードアクセス要求を出力したCPUクロックサイクルCS1から数えて4個先のクロックサイクルとなるため、クロック制御部305cは、CPU部301がリードアクセス要求を出力したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がり時点を、内部データバス304にリードデータが確定するまで延長することにより、CPUクロックサイクルCS1の周期を延長している。

【0043】また、クロック制御部305cは、リードバスサイクルにおけるウェイトステートTWの期間中、BCU主要部305aへのクロックを停止する。

【0044】なお、図6はリードアクセス要求に続いてライトアクセス要求をCPU部301が出力した例を示しており、CPU部301はリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がりでライトアクセス要求を出力すると共に同CPUクロックサイクルCS2の立ち下がりアクセス先アドレスを内部アドレスバス303に

出力している。このライトアクセス要求にかかるバスサイクルは同図に示すように先行するリードバスサイクルの終了後に直ちに開始される。このライトバスサイクルでもBCU部305のBCU主要部305aはウェイトステートTWを発生しているが、その間、BCU主要部305aへのクロック3062は停止されている。但し、CPUクロック311は通常通り供給されている。

【0045】なお、図6中に示した「Hold RQ Sampling」は、バス明け渡し要求を示す。バス明け渡し要求は、外部の他のユニットが外部バス308を使用する場合にBCU部305に対し入力する信号で、BCU部305はこれを受けた場合には新たなバスサイクルの発生を抑止し、出力バッファをディセーブルにした後に明け渡し了解信号(Hold Ack)を出力する。このバス明け渡し要求は、一般にバスサイクルの終了の1クロック前にサンプリングされ、1クロック後そのバスサイクルが終了した時点で、BCU部305は次のバスサイクルの起動を抑制し、Hold Ackを出力する。本発明では、バス明け渡し要求のサンプリング時点ではBCU主要部305aにクロックが供給されているため、若し、図6の最初の「Hold RQ Sampling」においてバス明け渡し要求が検出された場合には、後続のライトにかかるバスサイクルの発生は抑止される。即ち、バス明け渡し要求に対する応答の遅延を無くすることが可能である。これに対し、CPUへのクロックを停止させる従来技術では、図6の「Hold RQ Sampling」を記載した部分ではBCU部のクロックが停止しているため、BCU部はHold RQを入力することができず、次のバスサイクルを起動してしまうことになり、バス明け渡し要求に対する応答が遅延することになる。

【0046】

【発明の効果】以上説明した本発明のデータ処理装置によれば以下のような効果を得ることができる。

【0047】CPU部のリードアクセス要求時、BCU部が入力データを内部バスに出力する時点までCPU部に対するクロックが停止されるため、その分CPU部の消費電力が低減する。一般にCPU部の回路規模がBCU部の数倍であることを考慮すると、CPU全体の消費電力の低減が可能となる。

【0048】CPU部のライトアクセス要求時には、アクセス先装置の動作と関係なく、CPU部へは通常通りにクロックが供給されるため、CPU部の処理速度が低下することがない。

【0049】CPU部の停止中でもBCU部は動作しているため、バス明け渡し要求に対する応答の遅延を無くすることができる。

【0050】CPU部およびBCU部双方に待ち合わせ機能を持たせた図10の従来技術においては、CPU部とBCU部との同期は双方向の信号制御で行われるた

め、BCU部の動作が変更になった場合、CPU部の同期制御も変更する必要があるが、本発明では、CPU部における待ち合わせ制御機能が不要になり、CPU部にとってはクロック周期が変化するのみで同期制御を考慮する必要がないため、アドレス・データバスの分離、キャッシュの内蔵等のBCU部の設計変更に対してもCPU部の設計を変更する必要がなくなる。また、CPU部に待ち合わせ制御機能を必要としないことから、その分のゲート数の削減が可能となる。

【0051】バスサイクルにおけるウェイトステート期間中にBCU主要部へのクロックの供給を停止する構成では、より一層、CPUの消費電力の低減が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1の実施例におけるBCU部のブロック図である。

【図3】図1の実施例の動作タイミングチャートである。

【図4】本発明の別の実施例のブロック図である。

【図5】図4の実施例のBCU部のブロック図である。

【図6】図4の実施例の動作タイミングチャートである。

る。

【図7】従来技術のブロック図である。

【図8】従来技術のブロック図である。

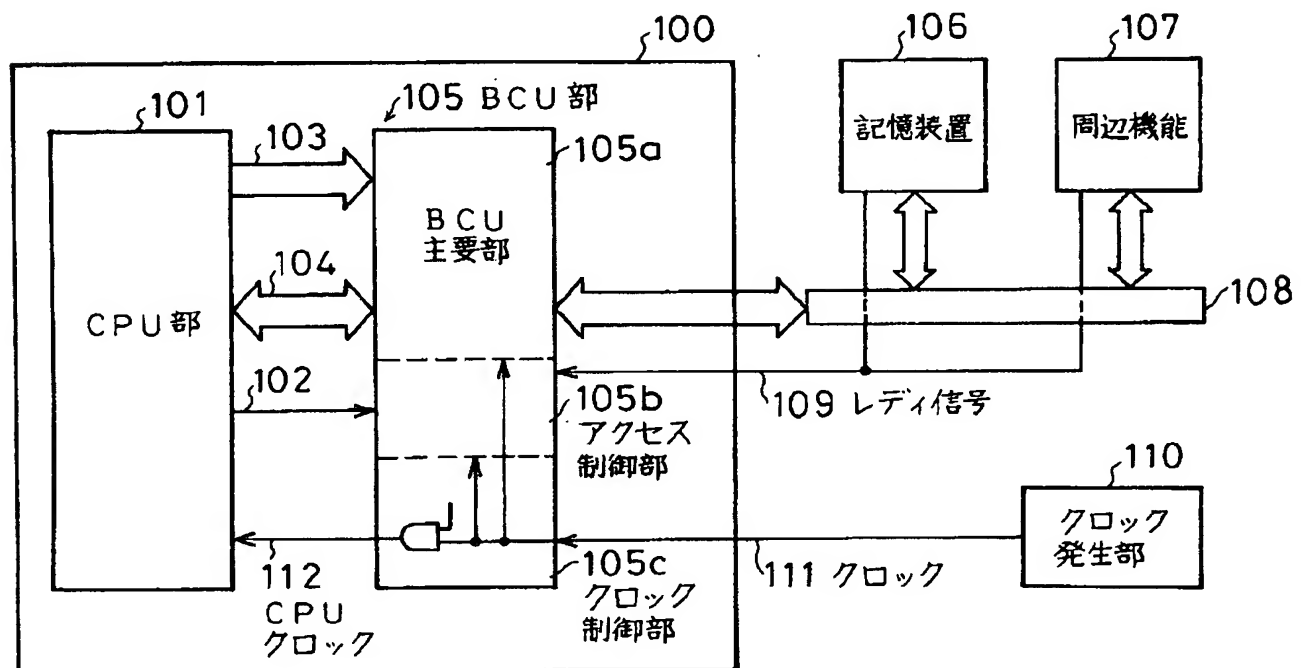
【図9】従来技術のブロック図である。

【図10】従来技術のブロック図である。

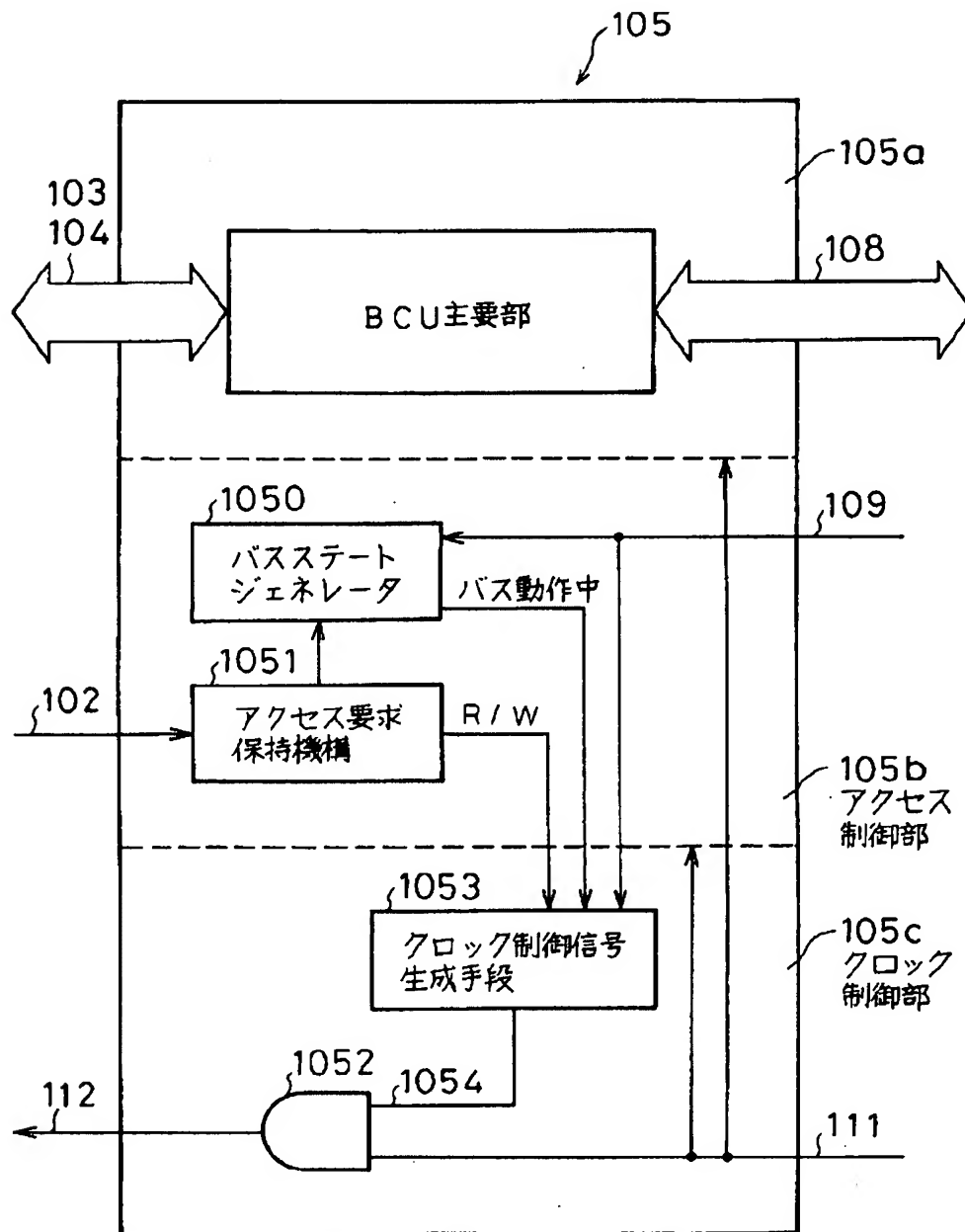
【符号の説明】

100…CPU  
101…CPU部  
102…アクセス要求信号  
103…内部アドレスバス  
104…内部データバス  
105…BCU部  
105a…BCU主要部  
105b…アクセス制御部  
105c…クロック制御部  
106…記憶装置  
107…周辺機能  
108…外部バス  
109…レディ信号  
110…クロック発生部  
111…クロック  
112…CPUクロック

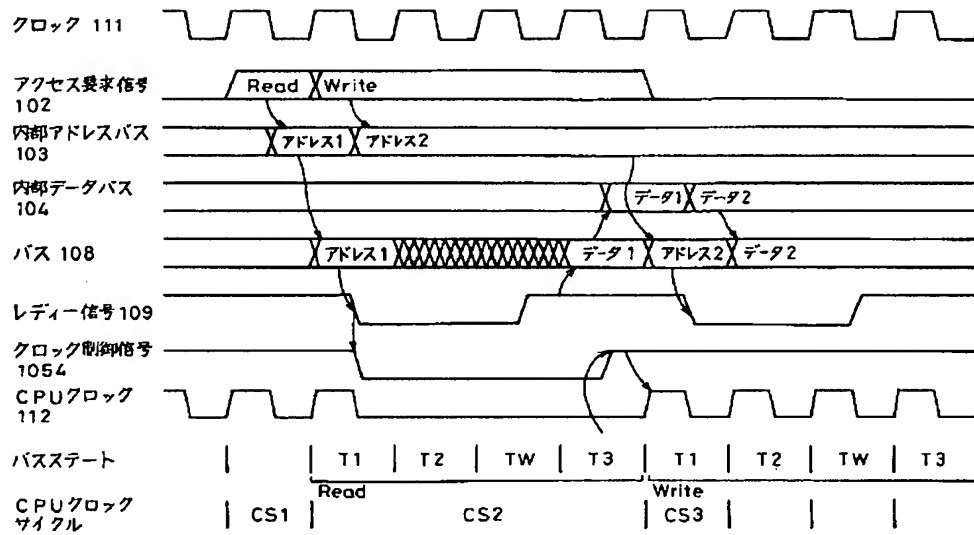
【図1】



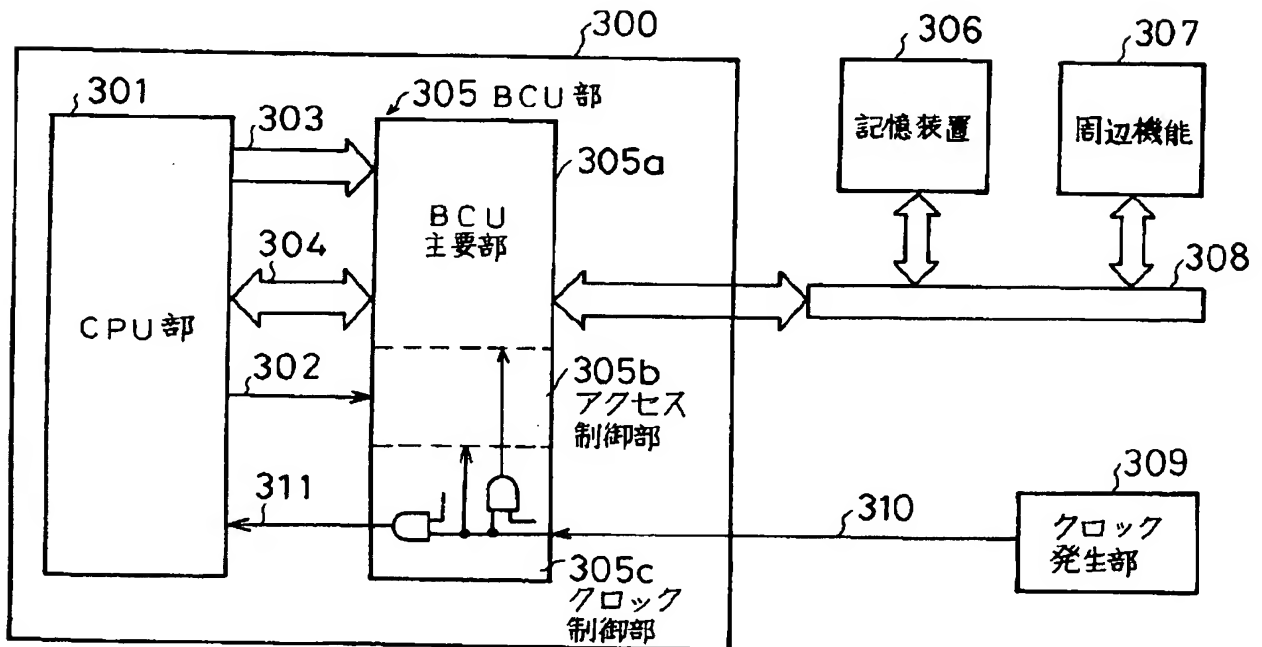
【図 2】



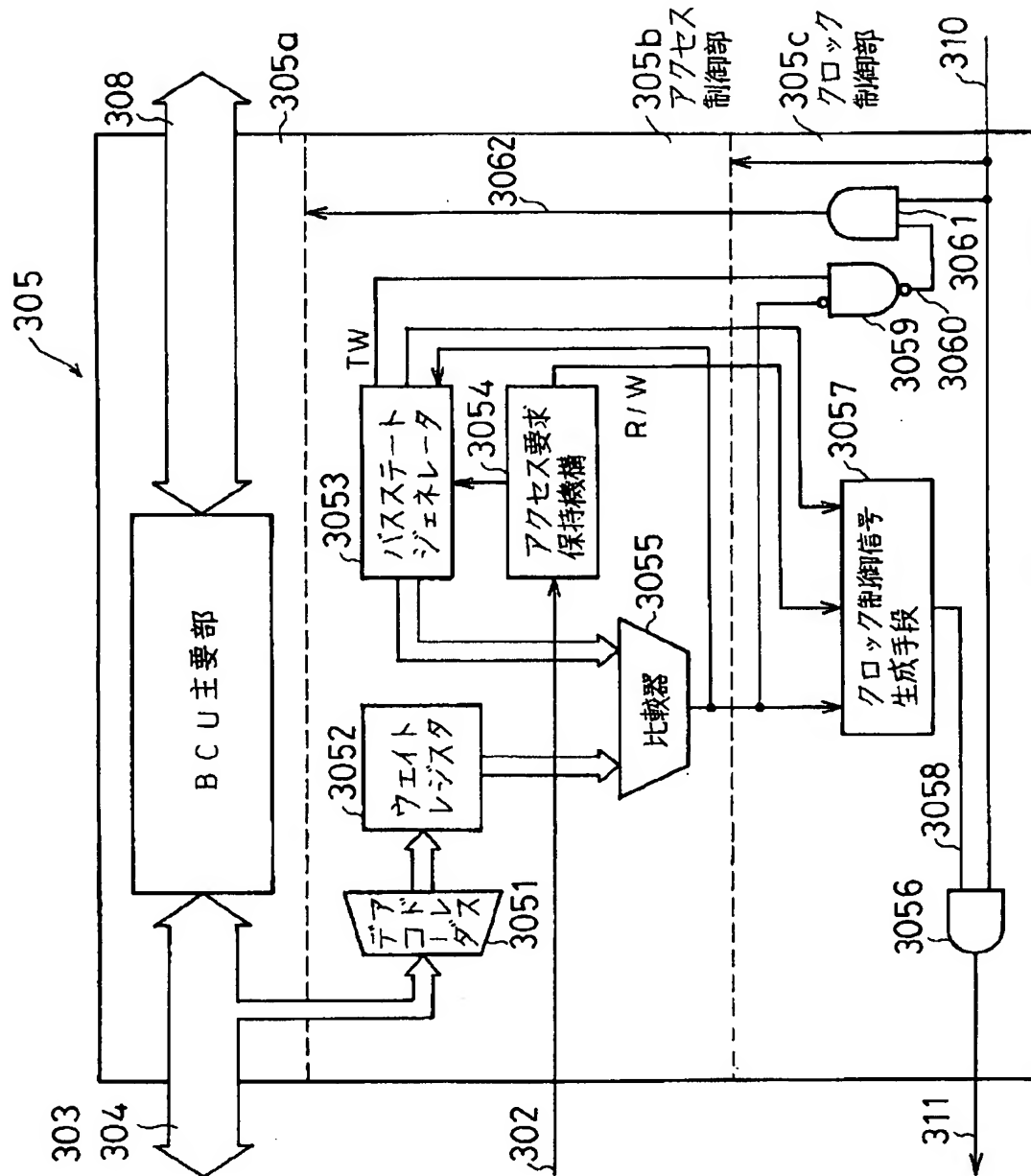
【図 3】



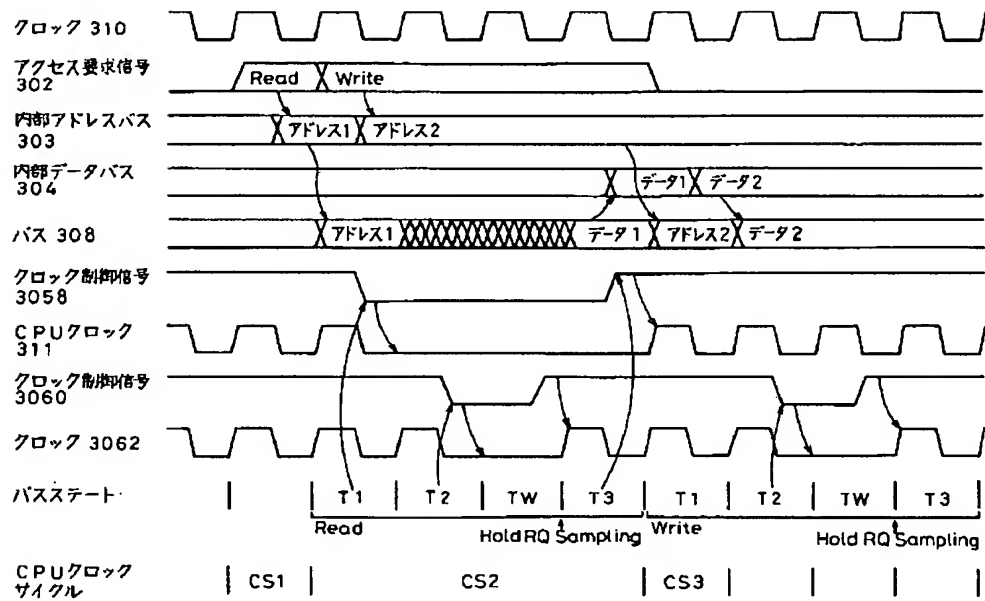
【図 4】



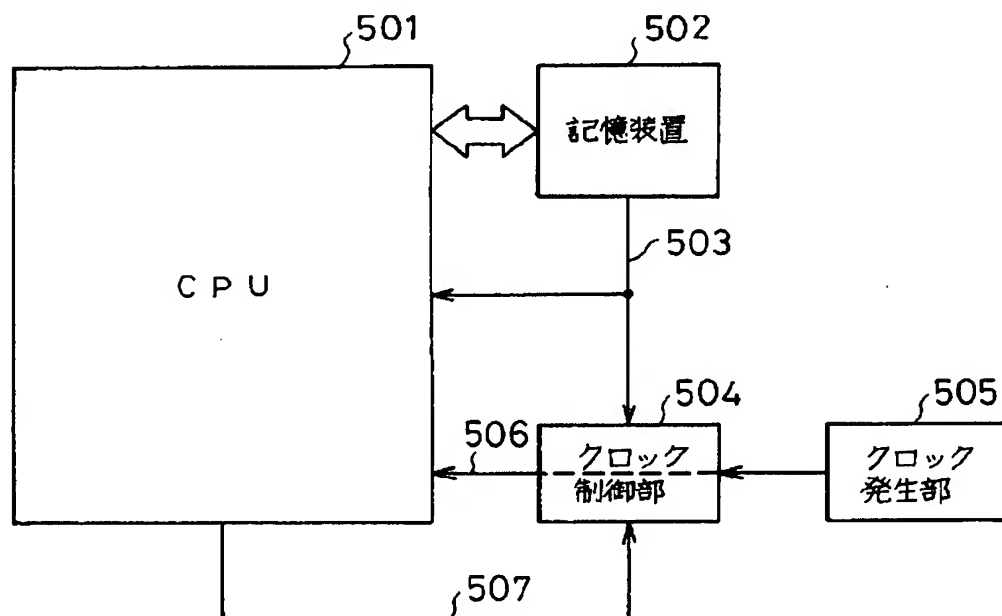
【図 5】



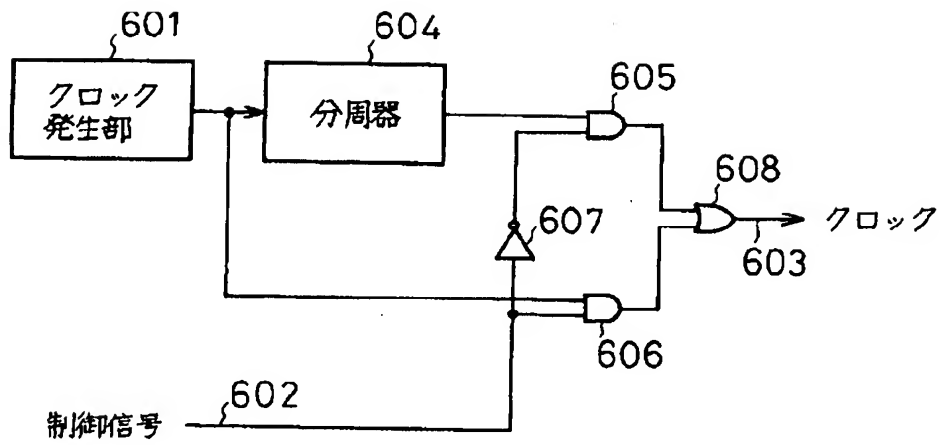
【図 6】



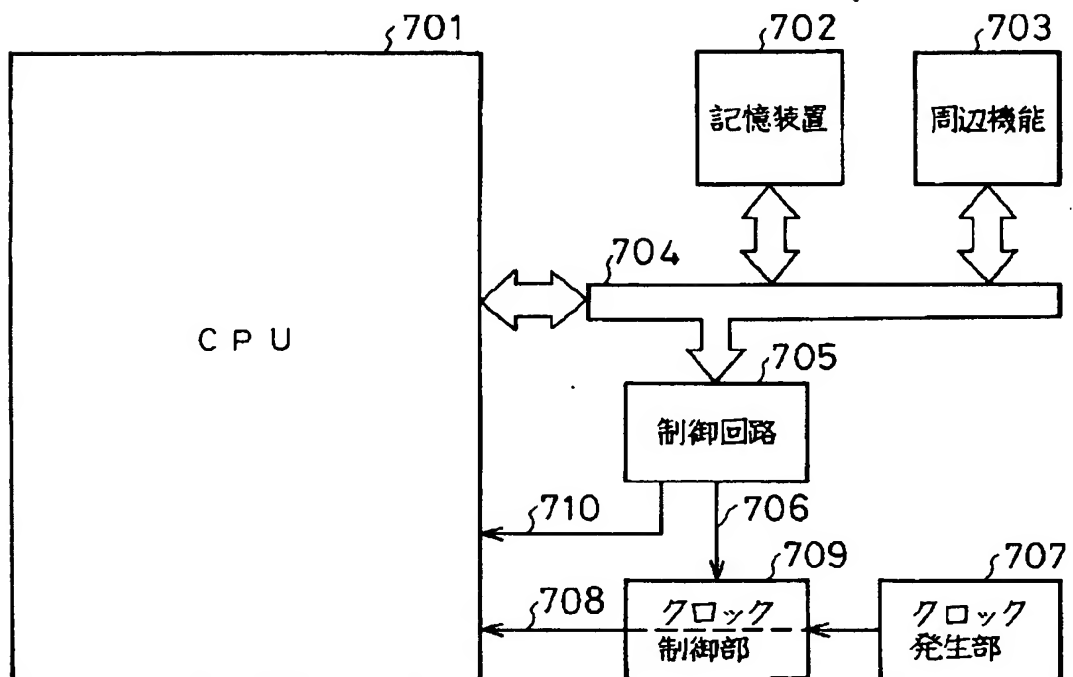
【図 7】



【図 8】



【図 9】



【図 10】

